

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-266658

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

G11C 11/406

(21)Application number : 04-338410

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.12.1992

(72)Inventor : HIRANO HIROSHIGE

(30)Priority

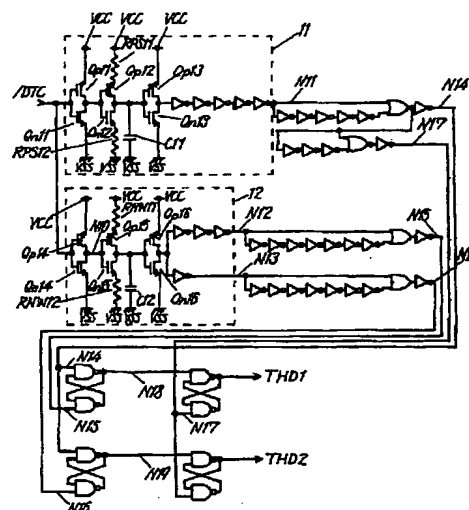
Priority number : 04 8329 Priority date : 21.01.1992 Priority country : JP

## (54) TEMPERATURE DETECTION CIRCUIT AND DYNAMIC RANDOM-ACCESS MEMORY DEVICE

(57)Abstract:

**PURPOSE:** To reduce the power consumption, at a low temperature, of a temperature detection circuit whose production irregularity is small by a method wherein a refresh cycle in a self-refresh function at a low temperature can be made long to an integral multiples of a reference refresh cycle and the self-refresh function of an optimum refresh cycle is fulfilled over a wide temperature range.

**CONSTITUTION:** A delay circuit 11 is constituted of eight stages of NOT circuits. Polysilicon resistances RPS12, RPS12 are connected to respective sources for P-channel MOS transistors Qp12 and N-channel MOS transistor Qn12 in the NOT circuit in a second stage. The temperature dependence of a resistance value is small at the polysilicon resistances. As a result, the temperature dependence of the delay time is small in the eight stages of the NOT circuits as a whole. On the other hand, a delay circuit 12 is constituted of three stages of NOT circuits and of three stages or one stage of NOT circuits which follow them.



## LEGAL STATUS

[Date of request for examination]

17.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-266658

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/406

6628-5L

G11C 11/34

363 L

審査請求 未請求 請求項の数14(全 19 頁)

(21)出願番号 特願平4-338410

(22)出願日 平成4年(1992)12月18日

(31)優先権主張番号 特願平4-8329

(32)優先日 平4(1992)1月21日

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 平野 博茂

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小銀治 明 (外2名)

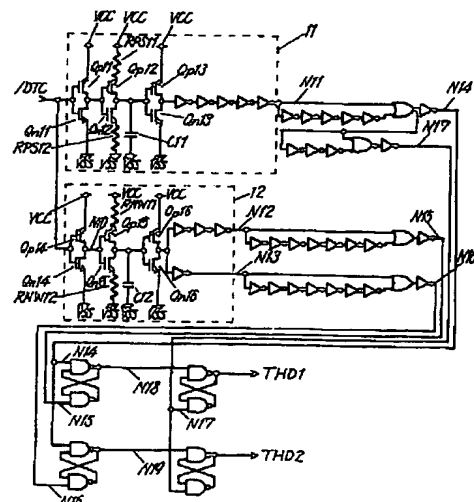
(54)【発明の名称】 温度検知回路およびダイナミック・ランダムアクセス・メモリ装置

(57)【要約】

【目的】 本発明の目的は、製造上のばらつきの少ない温度検知回路を得ることができる温度検知回路で、この回路を利用することで低温時のセルフリフレッシュ機能時のリフレッシュ周期をある基準リフレッシュ周期の整数倍と長くでき、広い温度範囲で最適リフレッシュ周期のセルフリフレッシュ機能を果たし、低温時の消費電力が少ないDRAMを提供する。

【構成】 図1の遅延回路11は8段の否定回路で構成されたものである。2段目の否定回路のPチャンネル型MOSトランジスタQp12およびNチャンネル型MOSトランジスタQn12のそれぞれのソースにポリシリコン抵抗RPS11およびRPS12が接続されている。これらのポリシリコン抵抗は図2の破線で示すように抵抗値の温度依存性が小さい。このため8段の否定回路全体としての遅延時間の温度依存性が小さい。これに対して図1の遅延回路12は3段の否定回路とそれにつづく3段または1段の否定回路で構成されている。

11,12 遅延回路 Qp1,Qp12 Pチャンネル型  
C11,C12 容量 MOSトランジスタ  
/DTC,THD1,THD2,N10,Qn10 RPS11,RPS12 Nチャンネル型  
信号名 RPS11,RPS12 ポリシリコン抵抗  
Qp1,Qp12 Nチャンネル型  
MOSトランジスタ  
VCC 電源電圧  
VSS 接地電圧



## 【特許請求の範囲】

【請求項1】複数個の否定回路で構成され、前記否定回路が遅延時間の温度依存性が大きい第1の遅延回路と、前記第1の遅延回路から出力される第1の出力信号と、前記否定回路が遅延時間の温度依存性が小さい第2の遅延回路と、前記第2の遅延回路から出力される第2の出力信号とを備え、前記第1、2の出力信号が出力される順番を温度検知信号として検知することを特徴とする温度検知回路。

【請求項2】前記第1の遅延回路がPチャネル型MOSトランジスタまたはNチャネル型MOSトランジスタであり、前記トランジスタのソースまたはドレインに温度依存性の大きな抵抗値をもつ抵抗体を有することを特徴とする請求項1記載の温度検知回路。

【請求項3】前記抵抗値および前記容量負荷量が可変できる回路を有することを特徴とする請求項2記載の温度検知回路。

【請求項4】複数個の否定回路で構成され、前記否定回路が遅延時間の温度依存性が大きい第1の遅延回路と、前記第1の遅延回路から出力される第1の出力信号と、前記否定回路が遅延時間の温度依存性が小さい第2の遅延回路と、前記第2の遅延回路から出力される第2の出力信号とを備え、前記第1、2の出力信号が出力される順番を温度検知信号として検知し、前記第1の遅延回路が前記否定回路の出力ノードに温度依存性の大きな抵抗値をもつ抵抗体を介して容量負荷が接続されていることを特徴とする温度検知回路。

【請求項5】前記抵抗値および前記容量負荷量が可変できる回路を有することを特徴とする請求項4記載の温度検知回路。

【請求項6】共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体、同じく前記電源電圧と前記接地電圧との間に直列に接続された第3の抵抗体と第4の抵抗体を備え、前記第1の抵抗体と第4の抵抗体と同じ材料で形成された抵抗体で、前記第2の抵抗体と第3の抵抗体と同じ材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知することを特徴とする温度検知回路。

【請求項7】前記第1の抵抗体と前記第2の抵抗体がスイッチングトランジスタを介して前記電源電圧と前記接地電圧との間に直列に接続され、前記第3の抵抗体と前記第4の抵抗体がスイッチングトランジスタを介して前記電源電圧と前記接地電圧との間に直列に接続され、前記第1の抵抗体と第4の抵抗体と同じ材料で形成された抵抗体で、前記第2の抵抗体と第3の抵抗体と同じ材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知することを特徴とする請求項

6記載の温度検知回路。

【請求項8】前記第2の抵抗体と第3の抵抗体の抵抗値が温度依存性の大きな抵抗体で、前記第1の抵抗体と第4の抵抗体との抵抗値が温度依存性の小さな抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を温度検知信号として検知することを特徴とする請求項7記載の温度検知回路。

【請求項9】共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体と、前記電源電圧と前記接地電圧との間に直列に接続された第3の抵抗体と第4の抵抗体とを備え、前記第1の抵抗体と第3の抵抗体と同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体は異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知することを特徴とする温度検知回路。

【請求項10】前記第1の抵抗体と前記第2の抵抗体がスイッチングトランジスタを介して前記電源電圧と前記接地電圧との間に直列に接続され、前記第3の抵抗体と前記第4の抵抗体がスイッチングトランジスタを介して前記電源電圧と前記接地電圧との間に直列に接続され、前記第1の抵抗体と第3の抵抗体と同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体は異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知することを特徴とする請求項9記載の温度検知回路。

【請求項11】前記第2の抵抗体の抵抗値が温度依存性の大きな抵抗体で、前記第4の抵抗体の抵抗値が温度依存性の小さな抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を温度検知信号として検知することを特徴とする請求項10記載の温度検知回路。

【請求項12】前記第2の抵抗体または前記第4の抵抗体の抵抗値を可変できる回路を有することを特徴とする請求項11記載の温度検知回路。

【請求項13】共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体と第3の抵抗体と第4の抵抗体を備え、前記第1の抵抗体と第3の抵抗体と同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体は異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知する温度検知回路とセルフリフレッシュ機能を有し、前記温度検知回路の温度検知信号により、低温時のセルフリフレッシュのリフレッシュ周期を長くする機能を有することを特徴とするダイナミック・ランダムアクセス・メモリ装置。

【請求項14】共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体と第3の抵抗体と第4の抵抗体を備え、前記第1の抵抗体と第3の抵抗体が同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体が異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知する温度検知回路とC B Rリフレッシュ機能を有し、前記温度検知回路の温度検知信号により、低温時のC B Rリフレッシュ時にリフレッシュを行なわない周期を有することを特徴とするダイナミック・ランダムアクセス・メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、温度検知回路およびダイナミック・ランダムアクセス・メモリ装置に関するものである。

【0002】

【従来の技術】ダイナミック・ランダムアクセス・メモリ（以下、DRAMと呼ぶ）はメモリセル容量に電荷を蓄えることによりデータを記憶するものである。この容量に蓄えられた電荷は時間がたつと、基板等にリークしデータが保持できなくなる。このためある一定時間毎に再書き込みするリフレッシュ動作が必要である。

【0003】通常はリフレッシュ動作は外部制御信号を与えることで行なっている。このリフレッシュ動作を内部で自動的に発生される内部制御信号で行なわれるようにしたものセルフリフレッシュ機能と呼ぶ。

【0004】最近、DRAMの用途が広がり、特にバッテリーバックアップ機能をもったセットに利用するためにDRAMの要望が高まりつつある。このような中でセルフリフレッシュ機能を有し、そのセルフリフレッシュ機能時の消費電力が少ないものが望まれている。ここでは、従来のセルフリフレッシュ機能を有したDRAMとして電子情報通信学会技術研究報告Vol. 91 No. 64 (SDM91-10~22) pp. 51~57に掲載された従来例について図31の回路概念図と、図32の信号波形図とを参照しながら説明する。

【0005】これらを用いてその動作について簡単に説明する。プリチャージ信号φPにより、1kビットのダミーメモリセルをプリチャージする。このときφEが論理電圧“H”となり、時間T1を発生するタイマーが動作する。このT1の間隔でリフレッシュ回数(NCYC)分のリフレッシュ動作が行われる。この後、信号φPおよびφEは論理電圧“L”にリセットされる。このようにリセットされると同時にダミーメモリセルのノードVNのリークが始まる。ノードVNの電圧がリファレンスレベルVREFに達すると、再びφE、φPは論理電圧“H”となり、以降同じ動作を繰り返す。このノードVNがリークしている期間がT2であり、セルフリフ

レッシュ周期時間と呼ぶ。このようにセルフリフレッシュ機能を有したDRAMは低温になるとセルフリフレッシュ周期時間が長くなる。

【0006】DRAMのリフレッシュ動作時の消費電流Iは、動作時に関する消費電流をIAC、待機時（非動作時）の消費電流をIDC、リフレッシュ周期時間をTとすると、 $I = IAC / T + IDC$ で表わされ、リフレッシュ周期時間Tを長くするとリフレッシュ動作時の消費電流Iは減少する。

【0007】この従来のセルフリフレッシュ機能を有したDRAMでは、1kビットのダミーメモリセルに蓄えられた電荷のリーク速度の温度依存性を利用する。低温になるとセルフリフレッシュ周期時間を長くし、低温時の消費電流を少なくしようとしたものである。図33に、温度とセルフリフレッシュ機能時のセルフリフレッシュ周期およびDRAMとのメモリセルのデータ保持時間の関係図を示す。DRAMのメモリセルのデータ保持時間は多くのメモリセルのうちのデータ保持時間が最少となるメモリセルのデータ保持時間で決まる。高温になると非常にデータ保持時間が短くなるメモリセルがある。このため、この図のようにセルフリフレッシュ周期時間の温度依存性よりデータ保持時間の温度依存性が大きくなる場合がある。

【0008】また、特開平3-207084号には周囲温度にあわせてリフレッシュ周期を変えることのできるダイナミック・ランダムアクセス・メモリ装置が示されている。この装置について図34を参照しながら説明する。電源電圧と接地電圧との間に直列に抵抗R1と温度可変型抵抗VR1が接続されている。また同様に電源電圧と接地電圧との間に抵抗R2と抵抗R3と抵抗R4とが接続されている。抵抗R1と温度可変型抵抗VR1との接続点の信号は2つのコンパレータ1、2に入力されている。また、抵抗R2と抵抗R3との接続点の信号はノードN1を介してコンパレータ1に、抵抗R3と抵抗R4との接続点からの信号はノードN2を介してコンパレータ2に入力されている。コンパレータ1、2の出力はそれぞれ出力S1、S2としている。このようにして2つのコンパレータ1、2によって出力された、出力S1は60℃を、出力S2は40℃の検知信号として用いる検出部3が提案されている。

【0009】

【発明が解決しようとする課題】このような従来のセルフリフレッシュ機能を有したDRAMでは、図33にも示したように、セルフリフレッシュ周期時間の温度依存性よりデータ保持時間の温度依存性が大きくなる。この図では75℃以上では、セルフリフレッシュ周期時間のほうがデータ保持時間より長くなりリフレッシュ不良となるという課題があった。

【0010】また、セルフリフレッシュ周期を容量に蓄えられた電荷のリーク速度によって決めるためセルフリ

10

20

30

40

50

フレッシュ周期が製造上のばらつきにより大きく変動するという課題があった。

【0011】さらに、上記特開平3-207084号の従来技術の構成では、40℃と60℃を検知するのに $R2 \neq R3 \neq R4 (=R1)$ のように異なる抵抗値の抵抗を作る必要がある。しかし、このように異なる抵抗値を作成する場合、抵抗値に合わせて抵抗の形状を異ならせるためには高精度の製造技術が必要である。このため通常は抵抗 $R2$ 、 $R3$ 、温度可変型抵抗 $VR1$ の抵抗値を補正する抵抗値補正回路が必要となる。また、ノード $N1$ 、 $N2$ には抵抗 $R2$ 、 $R3$ 、 $R4$ とでなる1つの基準電位発生部からそれぞれ2つの基準電位を発生させている。これを2つのコンパレータ1、2に入力している。このためノード $N1$ 、 $N2$ に電流を流し基準電位を変動させるコンパレータには使用できない。

【0012】上記問題点を鑑み本発明の目的は、製造上のばらつきの少ない温度検知回路を得ることができる温度検知回路を提供することである。

【0013】またこの回路を利用することで低温時のセルフリフレッシュ機能時のリフレッシュ周期をある基準リフレッシュ周期の整数倍と長くでき、また広い温度範囲で最適なりフレッシュ周期のセルフリフレッシュ機能を果たし、低温時の消費電力が少ないDRAMを提供することができる。

【0014】また、低温時のCBRリフレッシュ時にリフレッシュを行わない周期を有するようにすることにより、消費電力が大幅に低減することにある。

【0015】また、デバイスの温度を高くする機能により、これらのデバイスの各温度での検査を容易に行なうことができる検査方法を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決するために、本発明の温度検知回路は、複数個の否定回路で構成され、前記否定回路が遅延時間の温度依存性が大きい第1の遅延回路と、前記第1の遅延回路から出力される第1の出力信号と、前記否定回路が遅延時間の温度依存性が小さい第2の遅延回路と、前記第2の遅延回路から出力される第2の出力信号とを備え、前記第1、2の出力信号が出力される順番を温度検知信号として検知する。

【0017】上記課題を解決するために、本発明の温度検知回路は、複数個の否定回路で構成され、前記否定回路が遅延時間の温度依存性が大きい第1の遅延回路と、前記第1の遅延回路から出力される第1の出力信号と、前記否定回路が遅延時間の温度依存性が小さい第2の遅延回路と、前記第2の遅延回路から出力される第2の出力信号とを備え、前記第1、2の出力信号が出力される順番を温度検知信号として検知し、前記第1の遅延回路が前記否定回路の出力ノードに温度依存性の大きな抵抗値をもつ抵抗体を介して容量負荷が接続されている。

【0018】上記課題を解決するために、本発明の温度

検知回路は、共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体、同じく前記電源電圧と前記接地電圧との間に直列に接続された第3の抵抗体と第4の抵抗体を備え、前記第1の抵抗体と第4の抵抗体が同じ材料で形成された抵抗体で、前記第2の抵抗体と第3の抵抗体が同じ材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知する。

【0019】上記課題を解決するために、本発明の温度検知回路は、共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体と、前記電源電圧と前記接地電圧との間に直列に接続された第3の抵抗体と第4の抵抗体とを備え、前記第1の抵抗体と第3の抵抗体が同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体が異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知する。

【0020】上記課題を解決するために、本発明のダイナミック・ランダムアクセス・メモリ装置は、共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体と第3の抵抗体と第4の抵抗体を備え、前記第1の抵抗体と第3の抵抗体が同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体が異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知する温度検知回路とセルフリフレッシュ機能を有し、前記温度検知回路の温度検知信号により、低温時のセルフリフレッシュのリフレッシュ周期を長くする機能を有する。

【0021】上記課題を解決するために、本発明のダイナミック・ランダムアクセス・メモリ装置は、共通の電源電圧と接地電圧を備え、前記電源電圧と前記接地電圧との間に直列に接続された第1の抵抗体と第2の抵抗体と第3の抵抗体と第4の抵抗体を備え、前記第1の抵抗体と第3の抵抗体が同じ材料で形成された抵抗体で、前記第2の抵抗体と第4の抵抗体が異なる材料で形成された抵抗体で、前記第1の抵抗体と前記第2の抵抗体の接続点と前記第3の抵抗体と前記第4の抵抗体の接続点との電位差を検知する温度検知回路とCBRリフレッシュ機能を有し、前記温度検知回路の温度検知信号により、低温時のCBRリフレッシュ時にリフレッシュを行わない周期を有する。

【0022】

【作用】本発明の温度検知回路を利用したDRAMによると、製造上のばらつきの少ない温度検知回路が得られ、この回路を利用することで低温時のセルフリフレッシュ機能時のリフレッシュ周期をある基準リフレッシュ

10

20

30

40

50

周期の整数倍と長くできる。

【0023】また広い温度範囲で最適なリフレッシュ周期のセルフリフレッシュ機能を果たし、低温時の消費電力を低減することができる。

【0024】また、低温時のCBRリフレッシュ時にリフレッシュを行なわない周期を有するようにすることにより、消費電力が大幅に低減される。

【0025】また、デバイスの温度を高くする機能により、これらのデバイスの各温度での検査を容易に行なうことができる。

【0026】

【実施例】本発明の温度検知回路の第1の実施例について、図1から図4を参照しながら説明する。この温度検知回路は、複数個の否定回路で構成された遅延時間の温度依存性が大きい遅延回路の出力信号と、遅延時間の温度依存性が小さい遅延回路の出力信号とから出力される順番を温度検知信号として検知する。

【0027】図1は、本発明の温度検知回路の第1の実施例の回路図である。図2は、図1の回路で使用されているN型Well（以下、N-Wellという）抵抗値とポリシリコン抵抗値の温度依存性を示す。図3は、図1の回路のN-Well抵抗を用いた否定回路の半導体素子の断面図である。図4は、図1の回路図の信号波形図である。

【0028】11、12は遅延回路、Qp11～Qp16はPチャンネル型MOSトランジスタ、Qn11～Qn16はNチャンネル型MOSトランジスタ、C11～C12は容量、RPS11～RPS12はポリシリコン抵抗、RNW11～RNW12はN-Well抵抗、VCは電源電圧、VSSは接地電圧、VBBは基板電圧、P41～P43は期間、/DTC、THD1、THD2、N10～N19は信号名である。

【0029】図1の遅延回路11は8段の否定回路で構成されている。2段目の否定回路はPチャンネル型MOSトランジスタQp12およびNチャンネル型MOSトランジスタQn12と、Qp12のソースに接続されたポリシリコン抵抗RPS11とQn12のソースに接続されたRPS12とで構成されている。これらのポリシリコン抵抗RPS11、RPS12は図2の破線で示すように抵抗値の温度依存性が小さい。

【0030】図2は本回路で使用しているポリシリコン抵抗とN-Well抵抗の抵抗値の温度依存性を示している。図2から分かるようにポリシリコン抵抗は温度依存性が小さく、温度が25℃から100℃になっても抵抗値は1.06倍程度にしかない。これに対してN-Well抵抗は温度依存性が大きく、温度が25℃から100℃になると抵抗値は1.54倍となる。ちなみに、ポリシリコン抵抗の不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 程度で、N-Well抵抗の不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度である。このため遅延回路11を構成する8段

の否定回路でなる遅延回路11の遅延時間の温度依存性もまた小さくなる。

【0031】これに対して図1の遅延回路12は3段の否定回路と、それにつづけて3段と並列の1段との否定回路に接続されている。2段目の否定回路はPチャンネル型MOSトランジスタQp15とNチャンネル型MOSトランジスタQn15、そのQp15のソースに接続されたN-Well抵抗RNW11とQn15のソースに接続されたN-Well抵抗RNW12とで構成されている。

【0032】これらのN-Well抵抗RNW11、RNW12は図2の実線で示すように抵抗値の温度依存性が大きい。このため、3段の否定回路とそれにつづけて3段と並列の1段の否定回路からなる遅延回路12の遅延時間の温度依存性は大きい。このためN-Well抵抗RNW11、RNW12の抵抗値が高くなるにしたがって、電荷を容量C12に蓄積あるいは放電するのに要する時間が長くなり遅延時間も長くなる。

【0033】図3に遅延回路12のPチャンネル型MOSトランジスタQp15とNチャンネル型MOSトランジスタQn15、およびN-Well抵抗RNW11とRNW12で構成された2段目の否定回路が形成された半導体素子の断面図を示す。

【0034】ここで、上記遅延回路11および遅延回路12に温度検知制御信号/DTCを入力する。その出力信号N11～N13のうち信号N11と信号N12の遅延関係の検知信号が温度検知信号THD1であり、信号N11と信号N13の遅延関係の検知信号が温度検知信号THD2である。

【0035】信号N14、N17は信号N11から、信号N15は信号N12から、信号N16は信号N13から生成されるパルス信号である。これらの信号N14～N17をフリップフロップ回路により生成したものが温度検知信号THD1、THD2である。

【0036】ここでは、図4の信号波形図のように、温度が40℃以下である期間P41のとき信号N11～N13の遅延関係は信号N13、信号N12、信号N11の順番となる。その時の温度検知信号THD1は論理電圧“L”、温度検知信号THD2は論理電圧“L”である。

【0037】温度が40℃以上かつ60℃以下である期間P42のとき信号N11～N13の遅延関係は信号N13、信号N11、信号N12の順番となる。その時の温度検知信号THD1は論理電圧“H”、温度検知信号THD2は論理電圧“L”である。

【0038】温度が60℃以上である期間P43のとき信号N11～N13の遅延関係は信号N13、信号N13、信号N12の順番となる。その時の温度検知信号THD1は論理電圧“H”、温度検知信号THD2は論理電圧“H”である。

【0039】このように、温度検知信号THD1、THD2で温度40℃と温度60℃を境として、3つの温度帯を検知することができる温度検知回路を実現している。

【0040】この温度検知回路の特徴は、ポリシリコン抵抗およびN-Well抵抗という温度依存性の製造上のばらつきの少ない材料を用いて構成した回路であり、半導体素子に対して安定して使用することができる。ポリシリコンの不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ と高い。電子の移動度はこの不純物濃度に依存するため抵抗値の温度依存性はきわめて小さくなる。これに対して、N-Wellの不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ と低い。この場合、電子の移動度は不純物濃度に対する依存性以外に格子振動の影響を受ける。このため、抵抗値の温度依存性が大きくなる。このような抵抗値の温度依存性のばらつきは、不純物を注入した時の注入による不純物濃度のばらつきによるばらつきと比べて、ほとんど無視できる程度に小さい。ポリシリコンはその膜厚のばらつきにより、またN-Wellはイオン注入によるばらつきにより、その抵抗値は $\pm 10\%$ 程度ばらつく。しかし抵抗値のばらつきは本実施例ではヒューズを切断することで補正できる。

【0041】また、温度検知信号THD1、THD2をデジタル信号として取り出すことにより後に示すDRAMやマイクロプロセッサの様なデジタル信号処理を行うデバイス等への利用が容易となる。

【0042】次に、本発明の温度検知回路の第2の実施例について、図5を参照しながら説明する。この温度検知回路は、上記第1の実施例と同様に、遅延回路の遅延時間の温度依存性を利用するものである。図には、遅延時間の温度依存性の大きな遅延回路12の回路図のみを示してある。

【0043】Qp54~Qp56はPチャネル型MOSトランジスタ、Qn54~Qn56はNチャネル型MOSトランジスタ、C52は容量、RNW51はN-Well抵抗、VCCは電源電圧、VSSは接地電圧、/DTC、N12~N51は信号名である。

【0044】遅延回路12は3段の否定回路とそれにつづく3段と並列な1段の否定回路とから構成されている。2段目の否定回路のPチャネル型MOSトランジスタQp55とNチャネル型MOSトランジスタQn55との両者のドレインにN-Well抵抗RNW51を介して容量C51が接続されている。

【0045】N-Well抵抗RNW51は第1の実施例と同様に温度依存性が大きい。第1の実施例と異なる点は、N-Well抵抗RNW51の抵抗値が高くなってきた時に、容量C51に電荷が充分蓄積あるいは放電されていなくても、信号N51の電荷は容量C51にすぐ蓄積あるいは放電させることができる。これによって、遅延時間を短くすることができる。

【0046】この温度検知回路12の特徴は、第1の実施例と同様にポリシリコン抵抗やN-Well抵抗という製造上の温度依存性による抵抗値のばらつきが少ない材料を用いて構成されており、半導体素子にこの回路を用いた場合、安定して使用することができる。

【0047】また、上記第1の実施例の温度が高くなると遅延時間が長くなる遅延回路12と第2の実施例の温度が高くなると遅延時間が短くなる遅延回路12を併用して温度検知回路を構成することもできる。

【0048】例えば、上記図5の遅延回路を利用して、図6に遅延回路11を第1の実施例の遅延回路11と置き換えた第3の実施例の回路を示す。この構成の回路では、温度が高くなると、図6の遅延回路11の遅延時間は短くなり、第1の実施例の遅延回路12による遅延時間が長くなる。このため、小さな温度変化に対しても感度よく温度検知を行なうことができるという効果がある。

【0049】次に、本発明の温度検知回路の第4の実施例について、図7を参照しながら説明する。この温度検知回路12は、上記第1あるいは第2の実施例と同様に、遅延回路12の遅延時間の温度依存性を利用するものであるが、遅延時間の温度依存性の大きな遅延回路12の遅延時間を制御信号により可変できるようにしたものである。ここでは、遅延回路12の回路図のみが示されている。

【0050】Qp64~Qp69はPチャネル型MOSトランジスタ、Qn64~Qn67はNチャネル型MOSトランジスタ、C62~C63は容量、RNW61~RNW64はN-Well抵抗、VCCは電源電圧、VSSは接地電圧、/DTC、N12~N13、SW61~SW62は信号名である。

【0051】遅延回路12は3段の否定回路とそれにつづく3段と並列な1段の否定回路とに接続されている。2段目の否定回路では、Pチャネル型MOSトランジスタQp65のソースに、N-Well抵抗RNW61とPチャネル型MOSトランジスタQp67のドレインが接続されている。また、Nチャネル型MOSトランジスタQn65のソースに、N-Well抵抗RNW62とNチャネル型MOSトランジスタQn67のドレインが接続されている。さらに、Pチャネル型MOSトランジスタQp67のソースにN-Well抵抗RNW63が接続され、Nチャネル型MOSトランジスタQn67のソースにN-Well抵抗RNW64が接続されている。

【0052】Qp67のゲートには信号SW61が、Qp67のゲートにはSW61の反転信号が入力されている。信号SW61には、ゲートが電源電圧VCCであるQn68のドレインが接続されている。Qp65のドレインとQn65のドレインとが接続されている。この接続されたノードには容量C62と、ゲートがSW62で

あるQn69を介して容量C63が接続されている。SW62には、ゲートが電源電圧VCCであるQn66のドレインが接続されている。

【0053】通常は信号SW61は論理電圧“L”である。このため、Pチャネル型MOSトランジスタQp67とNチャネル型MOSトランジスタQn67とは共にオフしている。信号SW61を論理電圧“H”に変化させると、Pチャネル型MOSトランジスタQp67とNチャネル型MOSトランジスタQn67とは共にオンする。このようにして容量C62への電荷の蓄積、放電を早く行うことができる。すなわち、信号SW61を論理電圧“H”にすることにより、遅延回路12の遅延時間は短くなる。

【0054】また通常、信号SW62は論理電圧“L”である。このため、Nチャネル型MOSトランジスタQn69はオフしている。次に信号SW62を論理電圧“H”に変化させると、Nチャネル型MOSトランジスタQn69がオンする。このため前述の2段目の否定回路の負荷容量は、容量C62とC63との両方となり、結果的に負荷が大きくなる。すなわち、信号SW62を論理電圧“H”にすることで、遅延回路12の遅延時間は長くなる。このように、信号SW61、SW62を用いることで、遅延回路12の遅延時間を制御することができる。

【0055】この温度検知回路12の特徴は、温度検知に必要な遅延時間を制御信号SW61、SW62で変える点である。すなわち検知する温度を変えることができる。これは、例えば温度依存性とそのばらつきが大きくなるデータ保持時間に対応させて、温度検知回路12から温度補償をあたえようとする際に、検知する温度を変えることができる。このため各半導体素子に適した温度補償をあたえることができる。

【0056】次に、本発明の温度検知回路の第5の実施例について、図8を参照しながら説明する。

【0057】この温度検知回路は、上記第4の実施例に対して、信号SW61のノードをヒューズF61を介して電源電圧VCCに接続する。さらに、信号SW62のノードをヒューズF62を介して電源電圧VCCに接続している。これによって信号SW61、SW62の論理電圧がヒューズF61、F62を切断するかしないかによって決定される。ヒューズF61が切断されていない場合、信号SW61の論理電圧は“H”である。ヒューズF61が切断された場合、信号SW61の論理電圧は“L”である。信号SW62の論理電圧についても同様である。

【0058】本発明の異なる材料で形成された抵抗の抵抗値の違いを検出する回路を有したDRAMの回路図とその温度検知回路の模式図を図9(a)(b)に示す。さらに温度検知回路の第6の実施例について、図9

(a)の回路図と図10との信号波形図を参照しながら

説明する。

【0059】この回路の概略は、第1の抵抗と第2の抵抗が電源電圧と接地電圧との間に直列に接続されている。また第3の抵抗と第4の抵抗が電源電圧と接地電圧との間に直列に接続されている。第1の抵抗と第3の抵抗とは同じ材料で形成された抵抗である。これに対して第2の抵抗と第4の抵抗とは異なる材料で形成された抵抗である。第1の抵抗と第2の抵抗の接続点と、第3の抵抗と第4の抵抗の接続点との電位差を検知することにより第2の抵抗と第4の抵抗の抵抗値の違いを検出する。ここで、第2の抵抗の抵抗値を温度依存性の大きな材料で構成し、第4の抵抗の抵抗値を温度依存性の小さい材料で構成しておく。これによって第1の抵抗と第2の抵抗との接続点と、第3の抵抗と第4の抵抗との接続点との電位差を検知した信号を温度検知信号として出力する温度検知回路としている。

【0060】上記で説明した概略において、第1の抵抗がポリシリコンで形成された抵抗RPP71である。第2の抵抗がN-Wellで形成された抵抗RNW71である。第3の抵抗がポリシリコンで形成された抵抗RPP72である。第4の抵抗がポリシリコンで形成された抵抗RPP73である。第1の抵抗と第2の抵抗との接続点と、第3の抵抗と第4の抵抗との接続点との電位差を増幅する回路が信号増幅回路71である。

【0061】Qp、Qp71~Qp75はPチャネル型MOSトランジスタ、Qn、Qn71~Qn78はNチャネル型MOSトランジスタ、VCCは電源電圧、VSSは接地電圧、/DTC、N71~N76、TDH3は信号名である。

【0062】抵抗RPP71と抵抗RNW71の接続点と、抵抗RPP72と抵抗RPP73の接続点との電位差を図9(a)を参照しながら具体的に説明する。例えば40℃の温度を検知する回路として動作させようすると、40℃で抵抗RNW71、RPP71、RPP72、RPP73の抵抗値をすべて5000Ωに設定する。ここでもし温度が50℃となると前述した図2の温度と抵抗値の関係から、抵抗RNW71、RPP71、RPP72、RPP73の抵抗値はそれぞれ5324Ω、5025Ω、5025Ω、5025Ωとなる。この時、電源電圧VCCが4Vであれば、ノードN76は1942mV、ノードN77は2000mVとなる。その電位差58mVは信号増幅回路71で増幅され、温度検知信号TDH3が論理電圧“H”となって取り出される。また同様に温度が30℃となると、抵抗RNW71、RPP71、RPP72、RPP73の抵抗値はそれぞれ4722Ω、4951Ω、4951Ω、4951Ωとなる。この時、電源電圧VCCが4Vであれば、ノードN76は2047mV、ノードN77は2000mVとなる。その電位差47mVは信号増幅回路71で増幅され、温度検知信号TDH3が論理電圧“L”となっ



て取り出される。ここで信号増幅回路71が精度よく増幅できる電位差(増幅感度)は15mV程度であるので、この時の検知温度の誤差は±3℃程度となる。

【0063】次にこの回路の動作について説明する。まず、信号/DTC(N71)が論理電圧“H”であるとき、信号N71、N73は論理電圧“H”で、信号N72、N74は論理電圧“L”である。

【0064】Pチャネル型MOSトランジスタQp71～Qp73、Nチャネル型MOSトランジスタQn71～Qn73はすべてオフしている。このため信号増幅回路71、ポリシリコン抵抗RPP71～RPP72と、N-Well抵抗RNW71には、電源電圧VCCから接地電圧VSSに向かう貫通電流は流れない。また、信号N75は論理電圧“L”で、信号N78と信号TDH3は現状の論理電圧を保持したままである。

【0065】次に、信号/DTC(N71)が論理電圧“L”となると、まず、信号N71が論理電圧“L”、信号N72が論理電圧“H”となる。この際、信号N76、N77は、電源電圧VCCがポリシリコン抵抗RPP71～RPP72とN-Well抵抗RNW71とで抵抗分割された電位となる。その後、信号N73が論理電圧“L”、信号N74が論理電圧“H”となると、信号増幅回路71が動作する。これによって信号N76、N77の電位は増幅される。

【0066】さらに、信号N75に論理電圧“L”のパルス信号があたえられると、信号N77の論理電圧が信号N78に伝えられ固定する。すなわち、信号TDH3も信号N78と同じ論理電圧となる。ここで、信号TDH3が論理電圧“L”であれば、N-Well抵抗RNW71の抵抗値のほうがポリシリコン抵抗RPP72の抵抗値よりも小さい。信号TDH3が論理電圧“H”であれば、N-Well抵抗RNW71の抵抗値のほうがポリシリコン抵抗RPP72の抵抗値よりも大きいことが検出できる。これは図2で示したようにN-Well抵抗の温度依存性は大きく高温になると抵抗値が大きくなる。これに対して、ポリシリコン抵抗の温度依存性は小さい。この特性を利用し、信号TDH3の論理電圧を温度検知信号とする温度検知回路とした。

【0067】図10では、期間P71のほうが期間P72よりも温度が低くなっている。この抵抗値の違いを検出する回路を有したDRAM、あるいは、温度検知回路の特徴は、温度検知回路の第1の実施例と同様に、ポリシリコン抵抗とN-Well抵抗との温度依存性の点と、製造上のばらつきの少ない材料を用いて構成した回路である。

【0068】以上のように半導体素子に安定して使用することができる。また温度検知信号をデジタル信号として取り出すことができるので、多くの種類の半導体素子へ利用することができる。また、異なる抵抗体の抵抗値が持つ温度依存性を簡単に求めることができる。

【0069】ここでは40℃の温度を検知する場合の具体的な抵抗値等について示したが、この回路を複数個準備することで、同様に60℃の温度を検知する回路をも設計できる。すなわち複数の温度を検知することができる。

【0070】さらに、図9(b)は、図9(a)の構成をより分かりやすくするために示した模式図である。すなわち、電源電圧VCCと接地電圧VSSの間に抵抗R2と抵抗R1とスイッチングトランジスタとが直列に接続されている。同様に、電源電圧VCCと接地電圧VSSの間に抵抗R4と抵抗R3とスイッチングトランジスタとが直列に接続されている。これらのトランジスタには共通の制御信号N72がゲートに接続されている。抵抗R2と抵抗R1との接続点からノードN76が、抵抗R4と抵抗R3との接続点からノードN77がコンパレータ71に入力されている。またコンパレータ71には別に制御信号N73、N74が接続されている。このようにしてコンパレータ71から出力される信号の出力S1は、40℃の温度を検知する温度検知回路である。同様の構成によって60℃の温度を検知する温度検知回路が並列に設けられている。ここでは抵抗R2を温度依存性の大きい抵抗(N-Well)とし、抵抗R1、R3、R4を温度依存性の小さい抵抗(ポリシリコン)とすると、40℃の温度検知回路では、 $R1 = R2 = R3 = R4$ と設定すればよい。このため従来の技術の図34で示した温度検知回路とは異なり、抵抗R1、R3、R4は、同じ材料で同じ形状の抵抗を使用することができる。このためこれらの抵抗を形成する際の製造上のばらつきが少ない。また抵抗値のばらつきを補正するための抵抗補正回路は抵抗R2のみに形成すればよい。また、40℃と60℃との温度検知回路はそれぞれ独立しているので、比較するノードN76、N77に向けてコンパレータ71から電流を流すような構成の回路を使用できる。また、スイッチングトランジスタは制御信号N72によって制御される。このため電源電圧VCCと接地電位VSSとの間に流れる電流を必要な時だけに流せ、またコンパレータ71もまた制御信号N73、N74によって必要な時だけ動作させることによって低消費電力の温度検知回路を実現できる。

【0071】次に、本発明の温度検知回路の第7の実施例について、図11の回路図を参照しながら説明する。この温度検知回路は、上記の温度検知回路の第6の実施例に対して、第2の抵抗と第4の抵抗の抵抗値とがそれぞれが可変できる。回路動作的には温度検知回路の第6の実施例と同じである。

【0072】ここでは、第2の抵抗をN-Well抵抗RNW71、RNW74で構成し、N-Well抵抗RNW74と並列にヒューズF81を接続している。このヒューズF81を切断するかしないかで第2の抵抗の抵抗値を変えることができる。同様に、第4の抵抗をポリ

シリコン抵抗RPP72, RPP74で構成し、ポリシリコン抵抗RPP74と並列にヒューズF82を接続している。このヒューズF82を切断するかしないかで第4の抵抗の抵抗値を変える。

【0073】この温度検知回路の第7の実施例の特徴は、第6の実施例の温度検知回路で述べた効果のほかに、N-Well抵抗やポリシリコン抵抗の抵抗値が設計目標値からずれている場合であっても、その抵抗値を容易に変更することができる。このため設計目標の抵抗値を持つ回路を容易に構成することができる。通常

の抵抗値では製造上±10%程度のばらつきが一般に生じる。

【0074】次に、本発明の温度検知回路の第8の実施例について、図12の回路図を参照しながら説明する。

【0075】この温度検知回路は、上記第7の実施例に対して、ノードN76とノードN77とでの負荷のアンバランスをなくすために、次のように構成されている。ノードN76とノードN98とをNチャネル型MOSトランジスタQn94を介して接続している。また、ノードN98の1段の否定回路の出力がPチャネル型MOSトランジスタQp95のゲートとNチャネル型MOSトランジスタQn95のゲートに接続されている。さらに、Qp95のドレインとQn95のドレインとがノードN76であり、Qp95のソースが電源電圧VCCでQn95のソースが接地電圧VSS、さらに、Qp95のゲートに接続された1段の否定回路の出力を信号/THD3としている。このように、ノードN76とノードN77との負荷のアンバランスをなくすことにより、信号増幅回路71がノードN76とノードN77とのより小さな電位差でも正確に増幅できる。

【0076】次に、本発明の温度検知回路の第9の実施例について、図13の回路図を参照しながら説明する。

【0077】この温度検知回路は、上記第7の実施例に対して、信号増幅回路71が増幅する電位差を大きくするために、ポリシリコン抵抗RPP73をN-Well抵抗RNW72に置き換えてある。

【0078】実際の増幅感度の向上について具体的に示すと、例えば40℃の温度検知回路とすると、40℃で抵抗RNW71、RNW72、RPP71、RPP72の抵抗値をすべて5000Ωに設定する。ここでもし温度が50℃となると前述した図2の温度と抵抗値の関係より、抵抗RNW71、RNW72、RPP71、RPP72の抵抗値はそれぞれ5324Ω、5324Ω、5025Ω、5025Ωとなる。電源電圧VCCが4Vであると、ノードN76は1942mV、ノードN77は2058mVとなる。この時の電位差116mVを信号増幅回路71で増幅して温度検知信号TDH3が論理電圧“H”として取り出される。また同様に温度が30℃となると、抵抗RNW71、RNW72、RPP71、RPP72の抵抗値はそれぞれ4722Ω、472

2Ω、4951Ω、4951Ωとなる。電源電圧VCCが4Vであれば、ノードN76は2047mV、ノードN77は1953mVとなる。その電位差94mVを信号増幅回路71で増幅して温度検知信号TDH3が論理電圧“L”として取り出される。これは、前述の温度検知回路の第5の実施例と比べると2倍の電位差が得られ、信号増幅回路71の増幅は安定して行なうことができる。

【0079】次に、本発明の温度検知回路の第6の実施例や第7の実施例の回路で使用されている抵抗の抵抗値をヒューズを切断することで実現しようとした時使用される、その抵抗の補正値を決定するための抵抗値補正用のモニター回路について図14の回路図を参照しながら説明する。

【0080】この回路はデバイスの端子PAD1と接地電圧VSSとの間にポリシリコン抵抗RPP91が接続されている。また、デバイスの端子PAD2と接地電圧VSSとの間にN-Well抵抗RNW91が接続されている。また、端子PAD1、端子PAD2は、内部回路（ここでは否定回路を構成するMOSトランジスタのゲート）に接続されている。この回路では、端子PAD1にある電圧を印加する。その時、端子PAD1に流れる電流を測定してポリシリコン抵抗RPP91の抵抗値を求める。同様に、端子PAD2にある電圧を印加し、その時に端子PAD2に流れる電流を測定してN-Well抵抗RNW91の抵抗値を求める。そして、この求められた抵抗値の値によって前述の第6の実施例や第7の実施例の温度検知回路のポリシリコン抵抗やN-Well抵抗の抵抗値をヒューズを切断することによって適当な値に切り換える。この図13の回路のポリシリコン抵抗RPP91、N-Well抵抗RNW91の形状は、前述の第6の実施例や第7の実施例の温度検知回路で用いたポリシリコン抵抗やN-Well抵抗と同じ形状のものを使用する。

【0081】上記回路を用いて抵抗値を求め、この値に温度検知回路の抵抗値を補正する。このようにすれば、各デバイスに応じた補正を行うことができる。

【0082】次に、本発明のセルフリフレッシュ機能を有するDRAMの第1の実施例について、図15～図19を参照しながら説明する。

【0083】DRAMは、内部に形成されたキャパシタに電荷を蓄えるか、蓄えないかでデータ記憶（保持）を行う。このキャパシタに蓄えられた電荷は長時間たつと失われる。このため、ある一定時間ごとにキャパシタに電荷の再書き込みを行うリフレッシュ動作が必要である。DRAMの内部に内部タイマー回路を形成し、自動的にリフレッシュ動作を行なえる機能を持たせたものを、特にセルフリフレッシュ機能という。

【0084】ここで説明するDRAMは上記で説明した温度検知回路を使用し、低温のときにセルフリフレッシュ

リフレッシュ周期時間を長くする。これによって従来のDRAMと比べて低温時にセルフリフレッシュ動作させた時に発生する消費電力量を低減させることができる。図15～図17は本発明のセルフリフレッシュ機能を実現するための回路図である。図18はこの回路の信号波形図である。

【0085】91は発振回路、92は分周器回路（カウンタ回路）、QpはPチャネル型MOSトランジスタ、QnはNチャネル型MOSトランジスタ、VCCは電源電圧、VSSは接地電圧、P101～P103は期間、/DTC、THD1、THD2、CSELF、OSCn、/OSCn、/OSCSELF、/RGO、/RAS、N91は信号名である。

【0086】図15の発振回路91は信号CSELFを入力とし、信号OSCO、/OSCOを出力する。発振回路91は信号CSELFが論理電圧“L”のときは停止している。また信号OSCOは論理電圧“L”、信号/OSCOは論理電圧“L”に固定されている。

【0087】セルフリフレッシュ機能を動作させた場合、信号CSELFが論理電圧“H”になり発振回路91が動作しはじめる。信号OSCO、/OSCOは図18のようにある周期をもった信号を発生する。この信号が1つ目の分周期回路（カウンタ回路）92に入力され1/2の周期に分周される。分周器回路92からは信号OSC1、/OSC1が出力される。同様に、信号OSC1、/OSC1、OSC2、/OSC2、OSC3、/OSC3が図18のように出力される。

【0088】図16に、この分周器回路（カウンタ回路）92の回路図が示されている。信号CSELFが論理電圧“H”のときにこの分周器回路92が動作する。

【0089】次に、上記で説明した温度検知回路から出力される温度検知信号THD1、THD2からある周期をもった発振信号OSC1、/OSC1、OSC2、/OSC2、OSC3、/OSC3のうちのいずれかの周期を持つ信号がセルフリフレッシュの周期信号/OSCSELFとして選択される。この選択を行なうのがスイッチ回路94で図17に示されている。さらにセルフリフレッシュ周期信号/OSCSELFの立ち上がり時に、1ショットの論理信号“L”のパルス信号を発生させるようにしたものがノードN91である。また、スイッチング回路95によりセルフリフレッシュ機能動作時と非動作時の選択が行われる。

【0090】セルフリフレッシュ機能が動作する時には、信号CSELFが論理電圧“H”である。このため信号N91と同相の信号が信号/RGOとして出力される。この信号/RGOがリフレッシュ制御信号となる。

【0091】ここでは図18の信号波形図で示すように、温度が40℃以下である期間P101のとき、セルフリフレッシュ周期は信号OSC3、/OSC3の周期となる。また温度が40℃以上かつ60℃以下である期

間P102のときは、セルフリフレッシュ周期は信号OSC2、/OSC2の周期となる。さらに温度が60℃以上である期間P103のときは、セルフリフレッシュ周期は信号OSC1、/OSC1の周期となる。

【0092】このように温度検知信号THD1、THD2は温度40℃と温度60℃を境として、3つの温度帯でセルフリフレッシュ周期が変わる。このように3つの温度帯に合わせたセルフリフレッシュ機能を果たすDRAMが実現されている。

【0093】ちなみにセルフリフレッシュ機能を動作させないときには、信号CSELFが論理電圧“L”である。この時発振回路91は動作せず、信号/OSCSELF、信号N91は論理電圧“H”状態である。また信号/RGOには外部制御信号/RASと同相の信号が出力される。

【0094】図19がこのセルフリフレッシュ機能を有するDRAMの温度と、セルフリフレッシュ機能の動作時のセルフリフレッシュ周期およびDRAMのメモリセルのデータ保持時間の関係図である。これから分かるように25℃以上から100℃の範囲でメモリセルのデータ保持時間のほうがセルフリフレッシュ周期時間より短くなることはなくリフレッシュ不良は起こらない。

【0095】このセルフリフレッシュ機能を有するDRAMの特徴は、製造上のばらつきの少ない温度検知回路を搭載している。このため低温時にセルフリフレッシュ機能を動作させる時のリフレッシュ周期をある基準リフレッシュ周期の整数倍に長くできる。このため広い温度範囲で最適なリフレッシュ周期のセルフリフレッシュ機能が実現され、低温時には、セルフリフレッシュの周期を長くすることができるため、消費電力を低減することができる。従来例のDRAMに比べ高温時のリフレッシュ不良も起こりにくく、かつ、低温時のセルフリフレッシュ機能時の消費電力を低減しバッテリーの寿命を長くすることができる。

【0096】次に、本発明のCBR（CAS Before RAS）リフレッシュ機能を有するDRAMの一実施例について、図20～図23を参照しながら説明する。

【0097】通常は外部制御信号と外部から与えるリフレッシュアドレス信号で、その外部制御信号でリフレッシュ動作を行なわせる。CBRリフレッシュ機能は、外部制御信号と内部で自動的に発生される内部アドレス信号とで、その内部アドレスのリフレッシュ動作を行なうものである。前記のセルフリフレッシュ機能がリフレッシュ周期も内部で自動発生させるのに対して、CBRリフレッシュ機能はリフレッシュ周期は外部制御信号でコントロールする。このDRAMには上記で説明した温度検知回路を使用している。

【0098】本実施例では、低温のときにCBRリフレッシュを行なわないような周期をつくる。この動作によ

って従来のDRAMに比べ、低温時にCBRリフレッシュ機能を動作させることによる消費電力が必要でない。

【0099】図20～図22が本発明の第2の実施例であるCBRリフレッシュ機能を実現するための回路図である。図23はCBRリフレッシュ機能とするための信号波形図を示したものである。

【0100】121はCBR検知回路、122は分周器回路（カウンタ回路）、123はCBRカウンタ回路群、QpはPチャネル型MOSトランジスタ、QnはNチャネル型MOSトランジスタ、VCCは電源電圧、VSSは接地電圧、P131～P132は期間、THD1、THD2、/RGO、/RAS、/CAS、FGn、/FGn、/FGB、An、/An、は信号名である。

【0101】CBRリフレッシュ機能が動作するのは、信号/CASを論理電圧“L”にした後に、信号/RASを論理電圧“L”にする時である。CBR検知回路121は、外部制御信号/RASと/CASとが入力され、信号FG1と/FG1とが出力されている。図20のCBR検知回路121はCBRリフレッシュ機能が動作する時になると、信号FG1が論理電圧“H”となる。

【0102】また、信号/FG1は論理電圧“L”となる。これらの信号FG1と/FG1とが、1つ目の分周器回路（カウンタ回路）122に入力され1/2の周期に分周される。この分周器回路122から信号FG2と/FG2とが出力される。同様にして、信号FG3と/FG3とが出力される。

【0103】次に、上記で説明した温度検知回路から出力される温度検知信号THD1とTHD2とは、信号FG1、/FG1、FG2、/FG2、FG3と/FG3のうちいずれかの信号を選択し、CBRリフレッシュの基準信号/FGBとする。この選択はスイッチ回路96によって行なわれる。スイッチ回路96の回路図を図22に示す。

【0104】CBRリフレッシュ動作時には、信号FG1が論理電圧“H”であるため図20のノードN151は論理電圧“H”である。そこで、この信号/FGBと同相で4段分遅延した信号/RGOがリフレッシュの信号として出力される。

【0105】このリフレッシュの信号はCBRカウンタ回路群123の分周器回路122に入力され内部アドレス信号An、/An（n=0, 1, 2, 3, 4）を生成している。図21に、この分周器回路122の回路図が示されている。

【0106】温度が40℃以下のとき、CBRリフレッシュ周期は信号FG1と/FG1とが1/4に分周された信号FG3と/FG3とを基準とした信号/RGOとなる。CBRリフレッシュ機能の4回に1回の割合でリフレッシュが行なわれる。

【0107】温度が40℃以上かつ60℃以下の範囲であるときは、CBRリフレッシュ周期は信号FG1と/FG1とが1/2に分周された信号FG2と/FG2とを基準とした信号/RGOとなる。CBRリフレッシュ機能の2回に1回の割合でリフレッシュが行なわれる。

【0108】温度が60℃以上のときは、CBRリフレッシュ周期は信号FG1と/FG1とを基準とした信号/RGOとなりそれぞれのCBRリフレッシュ機能が動作する時にリフレッシュが行なわれる。

【0109】このように、温度検知信号THD1とTHD2で温度40℃と温度60℃を境として、3つの温度帯でCBRリフレッシュ機能を動作させる。このようにして、リフレッシュを行なう周期の回数を変えるCBRリフレッシュ機能を有するDRAMが実現できる。

【0110】CBRリフレッシュ機能によって複数回に1回の割合でリフレッシュを行なうと、リフレッシュ回数はDRAMの消費電力と比例関係にあるため消費電力が少なくて済む。すなわちDRAMのデータ保持時間の値に応じて、リフレッシュ回数を減らせば減らす程、消費電力が少なくてできる。

【0111】図23の期間P131はノーマルモードで信号/RASを論理電圧“L”としたのちに、信号/CASを論理電圧“L”とする。期間P132がCBRリフレッシュ機能時で信号/CASを論理電圧“L”としたのちに、信号/RASを論理電圧“L”としている。

【0112】このCBRリフレッシュ機能を有するDRAMの特徴は、上記のセルフリフレッシュ機能を有するDRAMの場合と同様でCBRリフレッシュ機能が低温時に動作する際、CBRリフレッシュを行なわない周期をつくる。これによって従来のDRAMに比べCBRリフレッシュ機能を動作させた時の消費電力分だけ低減させることができる。よってバッテリーの寿命を長くすることができるということである。

【0113】次に、前述のセルフリフレッシュ機能またはCBRリフレッシュ機能を搭載したDRAMにおいて、温度検知信号による制御機能の有無の切り換え回路を有するDRAMの第3の実施例について、図24を参照しながら説明する。DRAMの温度検知信号による制御機能の有無の切り換え回路の回路図を図24に示している。

【0114】この回路は、温度検知信号THD1と制御信号SW141との論理和を信号THD1Sとし信号SW141はゲートが電源電圧VCCであるNチャネル型MOSトランジスタQnを介して接地電圧VSSに接続されている。同様に、温度検知信号THD2と制御信号SW142との論理和を信号THD2Sとし信号SW142はゲートが電源電圧VCCであるNチャネル型MOSトランジスタQnを介して接地電圧VSSに接続されている。

【0115】このように温度検知信号THD1、THD

2と信号SW141, SW142とから信号THD1S, THD2Sを生成する。この信号THD1S, THD2Sを上記セルフリフレッシュ機能またはCBRリフレッシュ機能を有するDRAMの回路図の信号THD1, THD2と置き換える。

【0116】通常、信号SW141, SW142は論理電圧“L”状態で、信号THD1, THD2と信号THD1S, THD2Sとはそれぞれ同じ論理電圧である。信号SW141, SW142を論理電圧“H”状態にすると、信号THD1S, THD2Sはそれぞれ論理電圧

“H”に固定される。

【0117】このDRAMは、信号SW141, SW142の制御により従来のような温度検知信号による制御機能の無いDRAMをも容易に製造することである。

【0118】また、ここでは3つの温度帯で制御しているものを、図24のSW141を論理電圧“H”、SW142を論理電圧“L”とすることにより、2つの温度帯での制御に容易にできる。

【0119】次に、前述のセルフリフレッシュ機能またはCBRリフレッシュ機能を搭載したDRAMにおいて、温度検知信号による制御機能の有無の切り換え回路を有するDRAMの第4の実施例について、図25を参照しながら説明する。

【0120】この回路は、図24に対して、信号SW141と電源電圧VCCがヒューズF191を介して接続され、信号SW142と電源電圧VCCがヒューズF192を介して接続されている。これにより、信号SW141とSW142との制御をヒューズの切断有無によって行えるようにしてある。

【0121】次に、この半導体素子の温度を高くする機能を有したDRAMの一実施例について、図26を参照しながら説明する。図26は従来のDRAMに図26の半導体素子の温度を高くする機能をもつ回路を付加したDRAMである。この半導体素子の温度を高くするための機能をもつ回路は、図26のように一般回路151の間に両端が接地電圧VSSと信号HTMに接続された抵抗体で構成されている。この接地電圧VSSと信号HTMとの間に電流を流すことによりDRAMの温度を高くすることができる。

【0122】ここでは、抵抗体で構成された回路にしているが、通常の回路の電源電圧を高電圧にすることにより消費電力を多くして半導体素子の温度を高くする機能を実現することもできる。

【0123】この機能を有することにより半導体素子を検査する際、従来検査装置に備えられていた温度制御装置、例えばプローバのホットチャック等を必要とせずに、半導体素子を高温で検査することができる。また、各半導体素子ごとにその温度を制御できる。この際、各半導体素子の面積は、ウエハのそれの比べて小さいため、温度を上下させる時間が短くてすむ。例えば、プロ

ーバのホットチャックでは、全体を高温にした場合、温度を下げるのに時間がかかる。特に上記で示したような温度検知信号の制御をもつ半導体素子では、複数の温度条件での検査が短時間でできる。

【0124】次に、本発明の温度検知回路を用いた応用例の遅延回路について、図27及び図28を参照しながら説明する。

【0125】図27は入力信号IN1の否定信号を出力信号OUT1として出力する。入力信号IN1はNチャネル型MOSトランジスタQn271、Qn272、Qn273とPチャネル型MOSトランジスタQp271、Qp272、Qp273とのすべてのゲートに接続されている。また、Nチャネル型MOSトランジスタQn271、Qn272、Qn273とPチャネル型MOSトランジスタQp271、Qp272、Qp273とのすべてのドレインが接続されて出力信号OUT1となっている。また、出力信号OUT1と接地電圧VSSとの間には容量C27が接続されている。Nチャネル型MOSトランジスタQn271のソースは電源電圧VCCに接続され、Pチャネル型MOSトランジスタQp271のソースは接地電圧VSSに接続されている。Nチャネル型MOSトランジスタQn272のソースと接地電圧VSSとの間にはNチャネル型MOSトランジスタQn272が接続され、そのゲートは温度検知信号THD1に接続されている。Pチャネル型MOSトランジスタQp272のソースと電源電圧VCCとの間にはPチャネル型MOSトランジスタQp272が接続され、そのゲートは温度検知信号THD1の否定信号に接続されている。Nチャネル型MOSトランジスタQn273のソースと接地電圧VSSとの間にはNチャネル型MOSトランジスタQn273が接続され、そのゲートは温度検知信号THD2に接続されている。Pチャネル型MOSトランジスタQp273のソースと電源電圧VCCとの間にはPチャネル型MOSトランジスタQp272が接続され、そのゲートは温度検知信号THD2の否定信号に接続されている。

【0126】この回路の動作について簡単に説明する。温度が40℃以下のときTHD1、THD2は共に論理電圧“L”で、温度が40℃以上60℃以下のときTHD1は論理電圧“H”、THD2は論理電圧“L”で、温度が60℃以上のときTHD1、THD2は共に論理電圧“H”である。THD1、THD2の論理電圧“H”のときは、論理電圧“L”の時より図27で示した否定回路の駆動能力が向上し、入力信号IN1から出力信号OUT1までの遅延時間が短くなり、温度と入力信号IN1から出力信号OUT1までの遅延時間の関係は、図28のようになり、温度検知回路が動作しない場合（例えばTHD1、THD2が共に論理電圧“L”）に比べて、入力信号IN1から出力信号OUT1までの遅延時間の温度依存性が小さくなる回路を実現できる。

【0127】次に、本発明の温度検知回路を用いた応用例の基板電圧検知回路について、図29及び図30を参照しながら説明する。

【0128】図29は基板電圧VBBの電圧レベルを検知するもので、基板電圧VBBが検知電位より低い電位のときは出力信号OUT2は論理電圧“L”、検知電位より高い電位のときは出力信号OUT2は論理電圧

“H”を出力する回路である。出力信号OUT2と電源電圧VCCとの間にはPチャネル型MOSトランジスタQp291、Qp292、Qp293が接続され、Pチャネル型MOSトランジスタQp291のゲートは接地電圧VSSに、Pチャネル型MOSトランジスタQp292のゲートは温度検知信号THD1に、Pチャネル型MOSトランジスタQp293のゲートは温度検知信号THD2に接続されている。また、出力信号OUT2のドレインはNチャネル型MOSトランジスタQn292に接続され、Nチャネル型MOSトランジスタQn292のゲートは接地電圧VSSに接続されている。Nチャネル型MOSトランジスタQn292のソースはNチャネル型MOSトランジスタQn291のドレインとゲートに接続され、Nチャネル型MOSトランジスタQn291のソースは基板電圧VBBと接続されている。

【0129】回路動作について簡単に説明すると、温度が40℃以下のときTHD1、THD2は共に論理電圧“L”である。この時Nチャネル型MOSトランジスタQn292、Qn293がともにオンしている。このため、基板電圧検知電位は-2.0Vとなる。

【0130】次に、温度が40℃以上60℃以下のときTHD1は論理電圧“H”、THD2は論理電圧“L”である。この時、Nチャネル型MOSトランジスタQn292はオフ、Nチャネル型MOSトランジスタQn293はオンしている。このため、基板電圧検知電位は-1.6Vとなる。

【0131】さらに、温度が60℃以上のときTHD1、THD2は共に論理電圧“H”である。この時、Nチャネル型MOSトランジスタQn292、Qn293がともにオフしている。このため、基板電圧検知電位は-1.2Vとなる。

【0132】温度と基板電圧検知電位の関係は、図30のように、高温時に基板電圧検知電位が高くなる。このように、高温時に基板電圧検知電位が高くなることにより、DRAMを高温時に動作させて、ポーズタイムを短くすることができる。

【0133】

【発明の効果】上記説明したように、本発明の温度検知回路を利用したDRAMでは、製造上のばらつきの少ない温度検知回路により、低温時のセルフリフレッシュ機能時のリフレッシュ周期をある基準リフレッシュ周期の整数倍と長くでき、広い温度範囲で最適リフレッシュ周期のセルフリフレッシュ機能とすることができる。低

温時に消費電力が大幅に低減されたデバイスを供給できるという大きな効果が得られる。

【図面の簡単な説明】

【図1】本発明の温度検知回路の第1の実施例の回路図

【図2】N-Well抵抗値とポリシリコン抵抗値の温度依存性を示す図

【図3】N-Well抵抗を用いた否定回路の断面構成図

【図4】本発明の温度検知回路の第1の実施例の信号波形図

【図5】本発明の温度検知回路の第2の実施例の回路図

【図6】本発明の温度検知回路の第3の実施例の回路図

【図7】本発明の温度検知回路の第4の実施例の回路図

【図8】本発明の温度検知回路の第5の実施例の回路図

【図9】本発明のDRAMと温度検知回路の第6の実施例の回路図

【図10】本発明のDRAMと温度検知回路の第6の実施例の信号波形図

【図11】本発明の温度検知回路の第7の実施例の回路図

【図12】本発明の温度検知回路の第8の実施例の回路図

【図13】本発明の温度検知回路の第9の実施例の回路図

【図14】本発明の温度検知回路の抵抗値補正用のモニター回路図

【図15】本発明の温度検知回路を応用したDRAMの第1の実施例の回路図

【図16】本発明の温度検知回路を応用したDRAMの第1の実施例の回路図

【図17】本発明の温度検知回路を応用したDRAMの第1の実施例の回路図

【図18】本発明の温度検知回路を応用したDRAMの第1の実施例の信号波形図

【図19】本発明の温度検知回路を応用したDRAM別の温度とデータ保持時間の関係図

【図20】本発明の温度検知回路を応用したDRAMの第2の実施例の回路図

【図21】本発明の温度検知回路を応用したDRAMの第2の実施例の回路図

【図22】本発明の温度検知回路を応用したDRAMの第2の実施例の回路図

【図23】本発明の温度検知回路を応用したDRAMの信号波形図

【図24】本発明のDRAMの第3の実施例の回路図

【図25】本発明のDRAMの第4の実施例の回路図

【図26】本発明のデバイスの温度を高くする機能を有したDRAMの一実施例

【図27】本発明のデバイスの温度を高くする機能を有したDRAMの回路例

【図28】温度と入力信号から出力信号までの遅延時間の関係を示す図

【図29】本発明の温度検知回路を用いた応用例の基板電圧検知回路図

【図30】温度と基板電圧検知電位の関係を示す図

【図31】従来のセルフリフレッシュ機能を有したDRAMの一実施例の回路図

【図32】従来のセルフリフレッシュ機能を有したDRAMの一実施例の信号波形図

【図33】従来のセルフリフレッシュ機能を有したDRAM

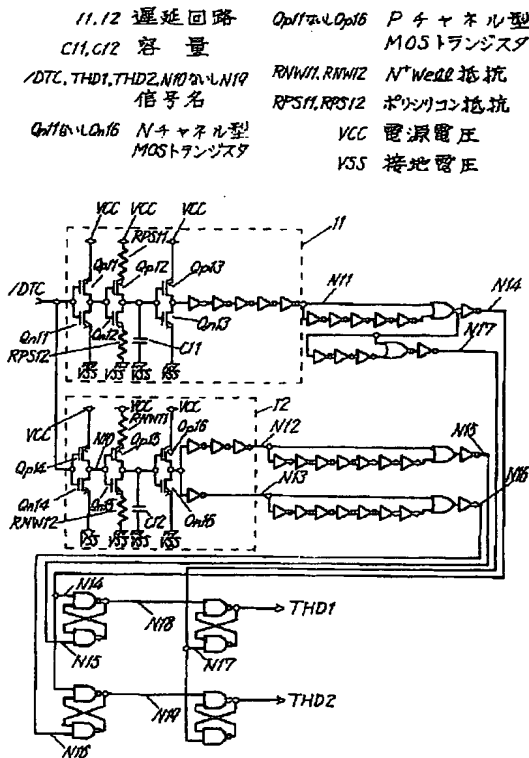
AMの温度とデータ保持時間の関係図

【図34】従来の温度検知回路を説明する回路図

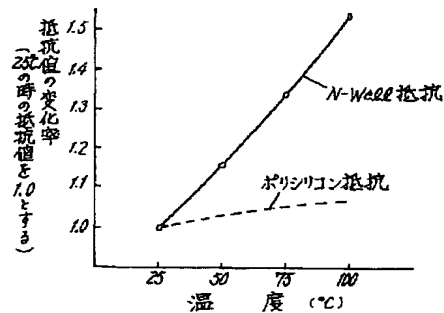
【符号の説明】

- 11, 12 遅延回路  
90, 120 温度検知回路  
91 発振回路  
92, 122 分周器回路(カウンタ回路)  
121 CBR検知回路  
123 CBRカウンタ回路群  
10 151 一般回路

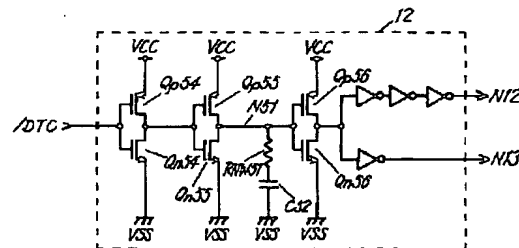
【図1】



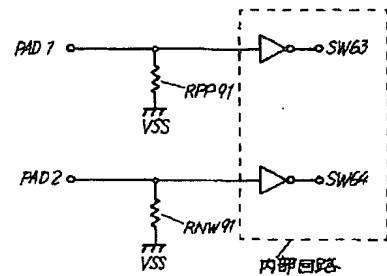
【図2】



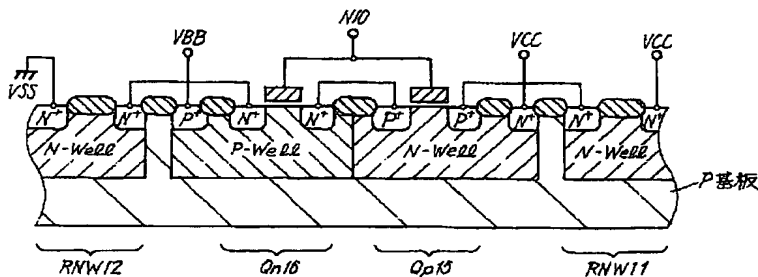
【図5】



【図14】



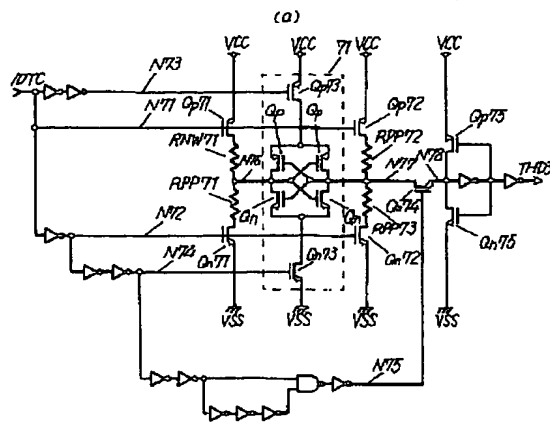
【図3】



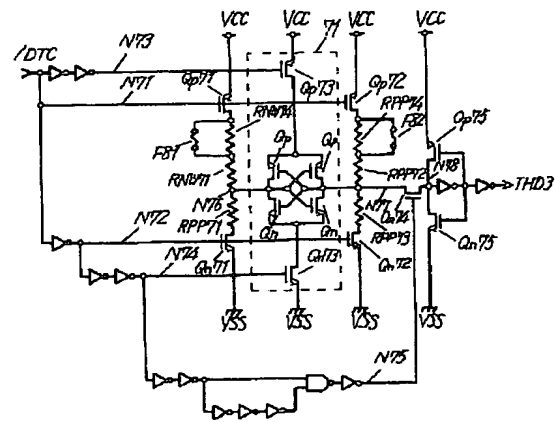




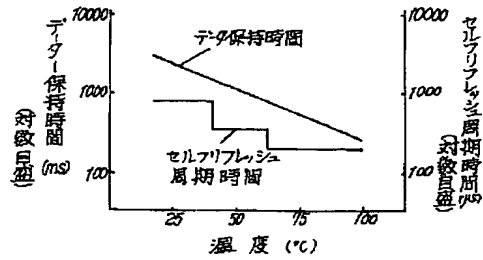
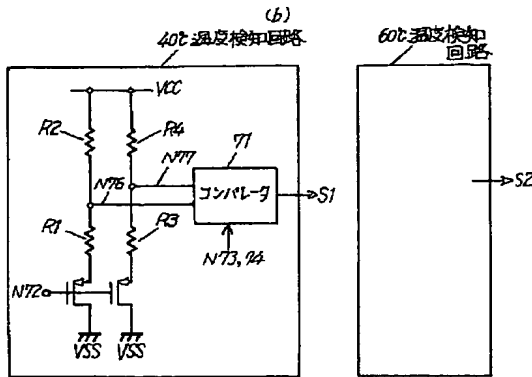
【図9】



【図11】

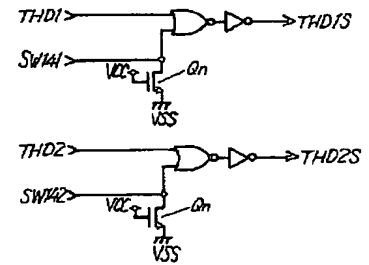
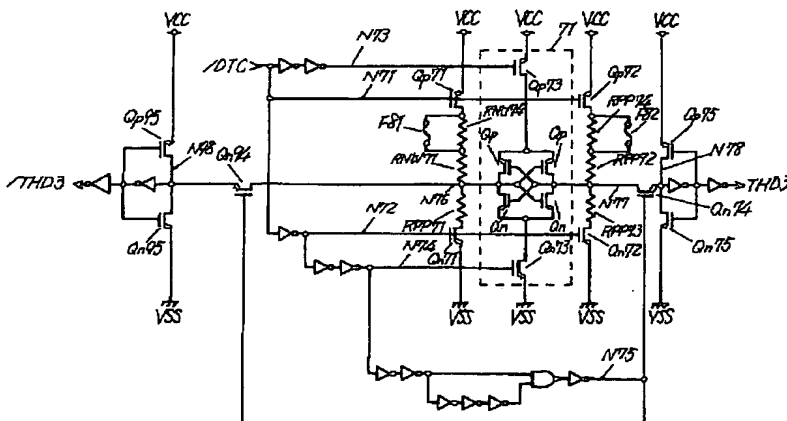


【図19】

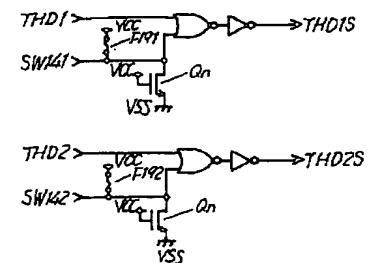


【図24】

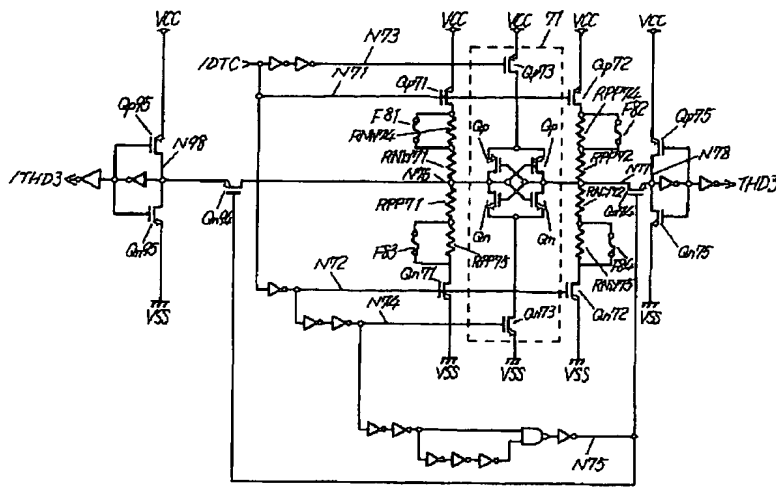
【図12】



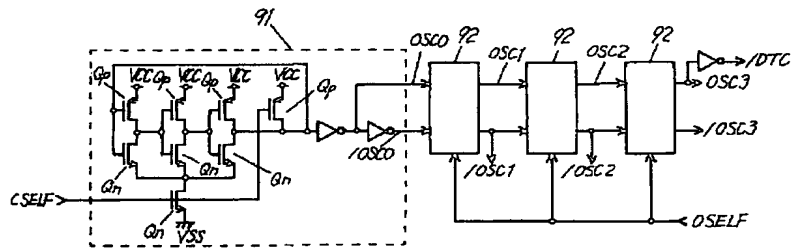
【図25】



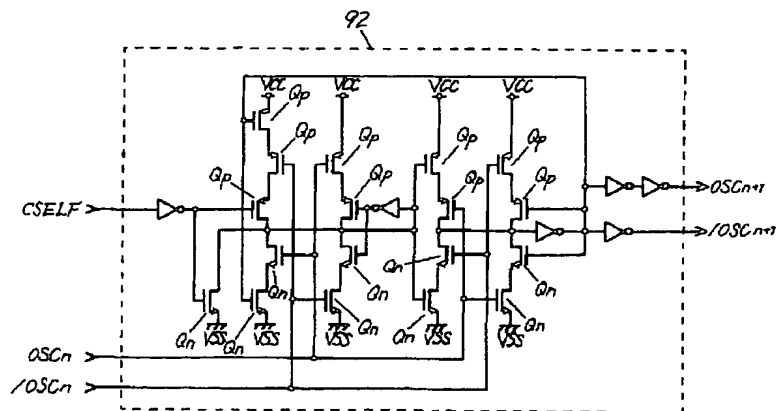
【図13】



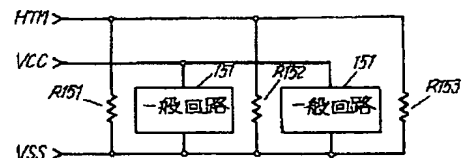
【図15】



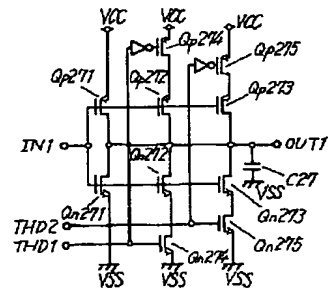
【図16】



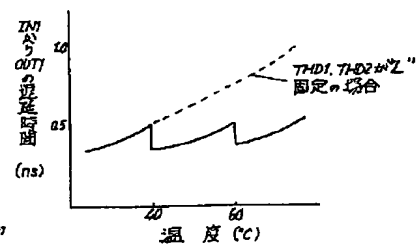
【図26】



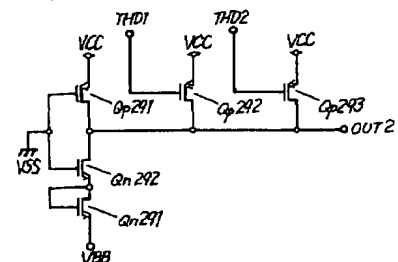
【図27】



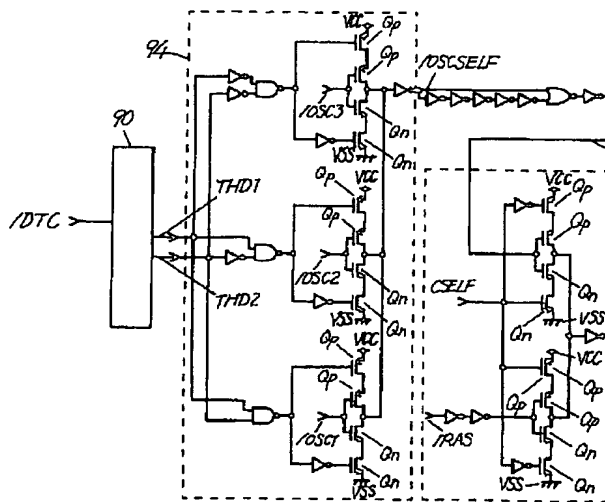
【図28】



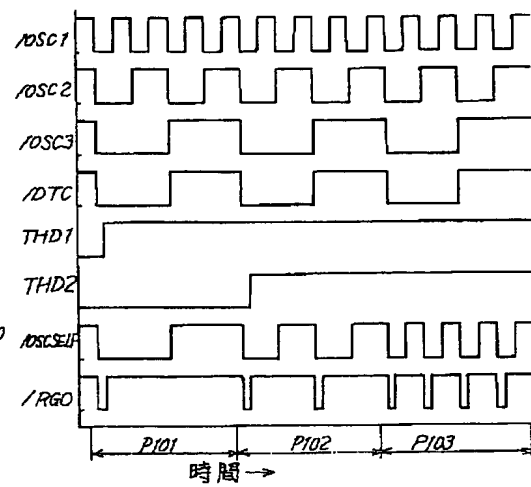
【図29】



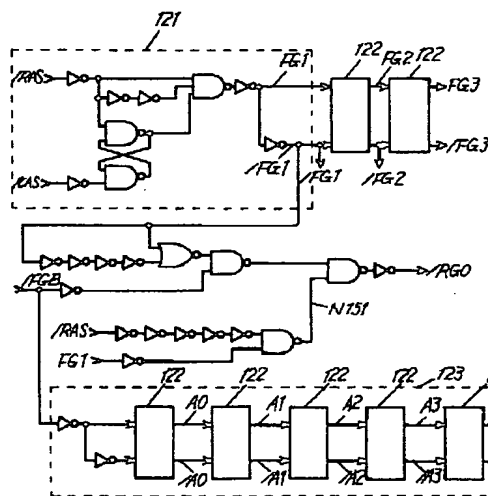
【図17】



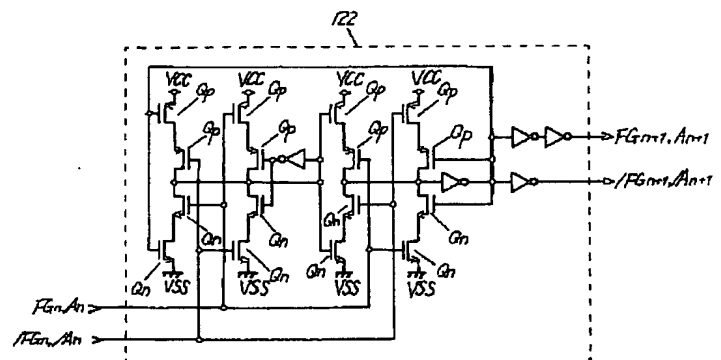
【図18】



【図20】



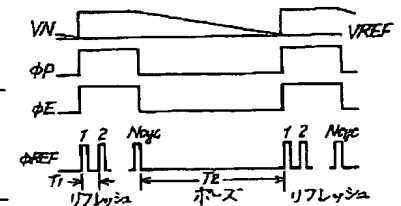
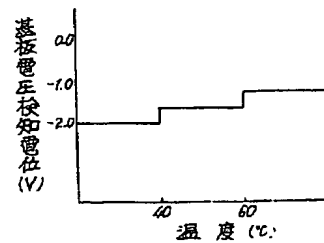
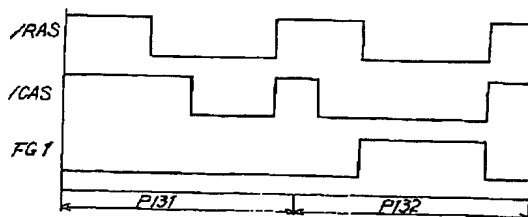
【図21】



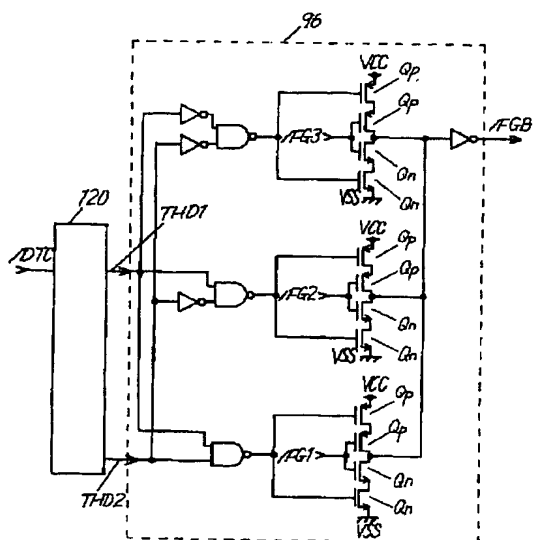
【図30】

【図32】

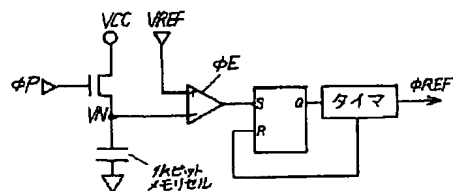
【図23】



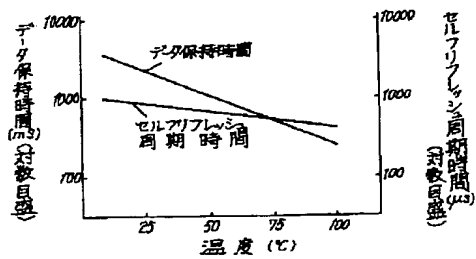
【図22】



【図31】



【図33】



【図34】

